

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 昭62-54961

⑬ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 昭和62年(1987)3月10日  
H 01 L 29/78 8422-5F  
21/265 Z-7738-5F  
29/52 審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 DMOSTランジスタのスレッシユホールド電圧をシフトさせる方  
法

⑯ 特 願 昭61-202762

⑰ 出 願 昭61(1986)8月30日

優先権主張 ⑱ 1985年8月30日 ⑲ 米国(US) ⑳ 771444

㉑ 発 明 者 リチャード エイ. ブ アメリカ合衆国, カリフォルニア 94022, ロス アルト  
ランチャード ス, モラ ドライブ 10724  
㉒ 発 明 者 リチャード ケイ. ウ アメリカ合衆国, カリフォルニア 95014, クバチーノ,  
イリアムズ ノーウィッチ アベニュー 10292  
㉓ 出 願 人 シリコニクス インコ アメリカ合衆国, カリフォルニア 95054, サンタ クラ  
ーボレイテッド ラ, ローレルウツド ロード 2201  
㉔ 代 理 人 弁理士 小橋 一男 外1名  
最終頁に続く

明 細 書

1. 発明の名称

DMOSTランジスタのスレッシユホールド電圧をシフトさせる方法。

2. 特許請求の範囲

1. DMOSTランジスタの製造方法において、ゲート絶縁層内に帯電したイオンを与えるステップを有することを特徴とする方法。

2. 特許請求の範囲第1項において、前記イオンはセシウムイオンであることを特徴とする方法。

3. 特許請求の範囲第1項において、前記イオンは扶素イオンであることを特徴とする方法。

4. 特許請求の範囲第1項において、前記絶縁層が二酸化シリコン層を有していることを特徴とする方法。

5. 特許請求の範囲第1項において、前記絶縁層が二酸化シリコン層上に形成した窒化シリコン層を有することを特徴とする方法。

6. 特許請求の範囲第1項において、該ゲート

絶縁層の上にポリシリコンゲートを設けるステップを有することを特徴とする方法。

7. 特許請求の範囲第1項において、第1導電型を持った基板を用意し、前記基板の導電型と反対の第2導電型を持った第2ウエル領域を前記基板内に形成し、前記第1導電型を持った第2ウエル領域を前記第1ウエル領域内に形成し、ゲートを設け、前記ゲートが前記基板及び前記第1及び第2ウエル上方を延在することをとくちよとする方法。

8. DMOSTランジスタにおいて、チャンネル領域、前記チャンネル領域上方の絶縁層、前記チャンネル領域上方のゲート領域、前記絶縁層内の所定濃度の帯電イオンとを有しており、前記帯電イオンが前記DMOSTランジスタのスレッシユホールド電圧を変化させることを特徴とするDMOSTランジスタ。

9. 特許請求の範囲第8項において、前記イオンがセシウムであることを特徴とするDMOSTランジスタ。

10. 特許請求の範囲第8項において、前記イオンが汚染であることを特徴とするDMOSTランジスタ。

11. 特許請求の範囲第8項において、前記チャンネル領域に隣接してソース領域が又前記チャンネル領域に隣接してドレイン領域が設けられていることを特徴とするDMOSTランジスタ。

### 3. 発明の詳細な説明

本発明は、MOSTランジスタに関するものであって、更に詳細には、製造過程中に二重拡散型MOS (DMOS) トランジスタのスレッシュホールド電圧をシフトさせる方法に関するものである。

MOSTランジスタは従来公知である。従来のMOSTランジスタを断面で第1図に示してある。第1図を参照すると、NチャンネルMOS (NMOS) トランジスタ10は、P<sup>-</sup>型基板14内に形成したN<sup>+</sup>ソース12s及びN<sup>+</sup>ドレイン12dを有している。コンタクトメタリゼーション22及び24が夫々ソース12s及びドレイン12d

へ電気的にコンタクトしている。チャンネル領域16がソース12sとドレイン12dとの間に存在している。チャンネル16上方には、二酸化シリコン18の如き絶縁物質の層があり、二酸化シリコン層18の上には、アルミニウム又はポリシリコン等の物質からなるゲート導体20が存在している。従来公知の如く、ソース12sに存在する電圧と相対的な電圧をドレイン12dへ印加すると、ゲート導体20における電圧がトランジスタ10のスレッシュホールド電圧よりも大きくない限り、ドレイン12dからソース12sへは電流は流れない。

トランジスタの製造過程中にトランジスタ10の如きトランジスタのスレッシュホールド電圧を修正する為の種々の方法がある。このことは、特定の適用条件に適合させたスレッシュホールド電圧を持ったMOSTランジスタを設計者が提供することを可能とする為に行われる。例えば、トランジスタのチャンネル領域内にドーパントを導入する為にイオン注入を使用することは従来公知で

ールドのシフトを与える。

### 表 I

スレッシュホールド電圧 シフト方法	従来トランジスタに おける電圧シフト量
シリコン・内のイオン注入	$\Delta V_{th}=0$ 乃至 $\pm 2V$
アニール	$\Delta V_{th}=0$ 乃至 $-2V$
[111]配向に対して[100]	
結晶配向の使用	$\Delta V_{th}=0$ 乃至 $2V$
・リーク (即ち、トランジスタがオフの時にそれを介して流れる電流) 及びブレイクダウン電圧が変化	

MOSTランジスタの1変形例はDMOSTランジスタであり、それは通常高電流 (即ち、最大200A) 及び高電圧 (即ち、最大1,000V) 適用において使用される。(従来公知の如く、DMOSTランジスタは、共通端部乃至は境界からの逐次的に導入した不純物の拡散における差異を使用してチャンネル長さを固定するトランジスタ

ある。このプロセスは、William E. Armstrongに対して発行された米国再発行特許第29,660号に詳細に記載されている。更に従来公知のこととしては、最終的な高温処理ステップの間に、窒素の代りに酸素中においてウエハをアニールすることによってMOSTランジスタのスレッシュホールド電圧を調節することである。これは、チャンネル上方のシリコンと二酸化シリコンとの界面において単位面積当りの固定電荷を増加させ、そのことは該トランジスタのスレッシュホールド電圧を減少させる。更に公知のことは、[111]結晶配向を持ったシリコンを使用することであり、それは[100]配向を持ったシリコンを使用して製造したデバイスよりもシリコンと二酸化シリコンとの界面においてより多くの電荷を発生させる。従来の低電圧 (即ち、20V未満) MOSTランジスタのスレッシュホールド電圧を調節する為に使用した技術は、ゲート絶縁膜として1,000Åの厚さの二酸化シリコンを持ったトランジスタに対して表Iに示した範囲内のスレッシュホ

である。) 第2a図は、従来技術に従って製造した縦型DMOSTランジスタ50の断面を示している。DMOSTランジスタは、多少の違いはあるが、従来のMOSTランジスタと同様の態様で動作する。DMOSTランジスタ50は、一対のP領域54(ランジスタ50の本体領域)内に形成したN<sup>+</sup>ソース52aを有しており、該P領域はN<sup>-</sup>ドレイン領域52d内に形成されており、そのN<sup>-</sup>ドレイン領域はドレインリード57に接続されているN<sup>+</sup>領域56上に形成されている。領域54は2つの分離した領域の横に見えるが、これらは実際には、領域52aの如く、断面の面の背後で結合された単一の連続的な領域である。メタリゼーション64及び66は領域54及び52aと電気的にコンタクトする。N<sup>-</sup>ドレイン領域52d上方に延在しているP領域54と56及びN<sup>+</sup>ソース52aは二酸化シリコン層60の如き絶縁物質層である。絶縁層60の上にはポリシリコン又はアルミニウムから形成されたゲート62がある。動作に付いて説明する、ランジスタ

50のスレッショールド電圧よりも大きな正の電圧がゲート62へ印加されると、電流キャリア(Nチャンネルデバイスにおいては電子)が、正電圧がドレインに存在する時には、矢印A及びBで示した方向にソース領域52aからドレイン52dへ流される。

ランジスタ50の如きランジスタは、高電圧-高電流適用に対して特に適切であることが分かっている。何故ならば、DMOSTランジスタのチャンネル長さは従来のMOSTランジスタの製造におけるよりも一層狭い値の範囲内に制御することが可能だからである。(上述した如く、チャンネル長さは共通の境界乃至は発生弦からの逐次の拡散の間の差異によって決定されるので、チャンネル長さは精密に制御される。)このことは、チャンネル領域によって寄与されるオン抵抗がそうである如く、ランジスタの相互コンダクタンスは略チャンネル長さに逆比例する。DMOSTランジスタにおいて、N<sup>-</sup>領域52d(これはドレインの一部を形成する)はチャンネル52cよ

りも軽度ドーピングされているので、逆バイアスされると、チャンネル52cとドレイン52dとの間の空乏領域はチャンネル52cよりもN<sup>-</sup>ドレイン52d内に更に延在し、チャンネル52cとドレイン52dとが同じ濃度でドーピングされている場合よりもより少ない範囲でチャンネル長さに影響を与える。(従来公知の如く、ランジスタ50がオフの場合、チャンネルドレイン接合は逆バイアスされ、ドレイン52dにおける電圧はチャンネル52cにおける電圧よりも大きい。空乏領域は、ドレイン52dとチャンネル52cとの間の領域であって、逆バイアスされると、その中の正孔及び導通電子は逆バイアス電圧によって取り除かれる。)この動静の為に、パンチスルーブレークダウンと呼ばれる現象となることのある本体領域54をソース52へ貫通して空乏させること無しに、高ドレイン電圧に耐えることが可能である。

DMOSTランジスタは、従来の低電圧MOSTランジスタにおけるドーピング分布とは異なっ

た、ソースとドレインとの間のチャンネル領域に沿って傾斜ドーピング分布を必要とする。傾斜ドーピング分布は、第2b図のグラフに示した如き非一様性のドーピング分布である。ドレイン領域上の大きな逆バイアス電圧に耐える為に本体内に必要とされる典型的なDMOSドーピング濃度も、デバイスに対してのスレッショールド電圧を決定する。低電圧(即ち、100V未満)のDMOSTランジスタに対して、約1Vのスレッショールド電圧は認知し得る程度のサブスレッショールド電流が発生する前に従来のプロセス制御によって得ることが可能である。(サブスレッショールド電流は、計算したスレッショールド電圧以下のゲード電圧で発生する電流である。この電流は、スレッショールド電圧がゼロVへ近付くと迅速に増加する。)

2乃至4Vの典型的なスレッショールド電圧を持った従来の縦型DMOSTランジスタの場合、6V未満のスレッショールド電圧シフトを表Iに示した方法を使用して得ることが可能である。

チャンネル領域においてドーピング分布を変化させる為にイオン注入を使用することは、DMOSトランジスタのブレイクダウン電圧を減少させることが実験的に分かっている。イオン注入技術を使用せずに得ることの可能なスレッシュホールドシフトは約4Vであり、それは所望のデプリション(空乏)モード特性を発生させる、即ちスレッシュホールド電圧をゼロV以下にシフトさせる為には十分ではない。(従来公知の如く、デプリションモードトランジスタは通常オンのトランジスタであり、Nチャンネルデバイスの場合、それをオフさせる為には負電圧を印加させることが必要である。)従って、負のスレッシュホールド電圧を持ったDMOSトランジスタ、即ちデプリションモードDMOSトランジスタ、を形成することが所望される場合には、別の方法を使用してスレッシュホールド電圧を減少させねばならない。

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、DMOSトランジスタのスレッシュホールド電圧をシ

フトさせる方法を提供することを目的とする。本発明方法においては、イオン注入及び爾後の処理ステップの後に正又は負の何れかに帯電したままのイオンをゲート絶縁膜内にイオン注入するステップを有する。本発明の1実施例においては、セシウムイオン(これは正のイオン)を使用してDMOSトランジスタのスレッシュホールド電圧を負の方向へシフトさせる。これらのイオンは絶縁物質に取り込まれるので、ゲート絶縁膜内にイオン注入されてもそれらの電荷を保持する。本発明の別の実施例においては、扶素イオン(これは負のイオン)を使用してスレッシュホールド電圧を正の方向へシフトさせる。イオン、ドーズ、注入エネルギー、及びゲート絶縁膜の種々のパラメータの選択は、スレッシュホールド電圧における変化を決定する。この様にして、DMOSトランジスタのスレッシュホールド電圧を正確に制御することが可能である。イオンをゲート絶縁膜内にイオン注入することによって、DMOSトランジスタのブレイクダウン又は漏れ特性を変化させること無

しに、上述した従来技術よりもより大きな範囲にDMOSトランジスタのスレッシュホールド電圧をシフトさせることが可能である。

第3a図を参照すると、N型エピタキシャル層101をN+基板100上に付着させる。本発明の1実施例において、エピタキシャル層101は0.5と30 $\Omega \cdot \text{cm}$ の範囲内の導電度を持っており、基板100は0.005と0.1 $\Omega \cdot \text{cm}$ の範囲内の導電度を持っている。次いで、二酸化シリコン層102をエピタキシャル層101上に形成する。二酸化シリコン層102は典型的には3,000乃至8,000Åの厚さであり、熱酸化処理によって形成され、例えば約3乃至6時間の間酸素中でウエハを約1,050乃至1,200℃へ加熱するか、又は0.5乃至2時間の間水蒸気中で900乃至1,100℃へ加熱する。次いで、二酸化シリコン層102をパターン形成して、従来技術(例えば、二酸化シリコン層102をホトレジストで被覆し、該ホトレジストをパターン形成して二酸化シリコン層102を部分的に露出さ

せ、例えば緩衝HFを使用して露出して部分をエッチングする)を使用して形成されるべきDMOSトランジスタの活性区域を露出させ、第3a図に示した構成とする。

第3b図を参照すると、次いで、ウエハをホトレジスト層103で被覆し、それを公知の方法でパターン形成して、DMOSトランジスタの深い本体即ちP+領域106となるべきエピタキシャル層101の部分104を露出させる。次いで、ウエハにイオン注入プロセスを行い、P+領域106を形成する。(本発明の別の実施例においては、深い本体領域106はその他の技術によって形成することが可能である。)このプロセスにおいては、20乃至200keVのエネルギーを持ったボロンイオンを約10<sup>13</sup>乃至10<sup>14</sup>/cm<sup>2</sup>の範囲内のドーズへイオン注入させる。その後、第3c図に示した如く、ホトレジスト層103の残存部分を除去し、深い本体領域106を所望の接合深さ、典型的には3乃至5ミクロン、へ拡散させ、それは、例えば、酸素又は窒素の如き不活性ガス

中において約1, 100乃至1, 200℃で約4乃至12時間の間ウエハを拡散させることによって行う。第3d図を参照すると、ウエハ上に新たなホトレジスト層110を付着させる。活性領域112を露出させる為に、公知の方法でホトレジスト層110をパターン形成する。活性領域112をエッチングして、緩衝HFを使用するウエットエッチングプロセス又はプラズマエッチプロセスによる前の処理ステップの間に、活性領域112の表面上に形成されることのある全ての二酸化シリコンを除去する。その後、ホトレジスト層110を除去する。

次いで、二酸化シリコン114の500乃至1, 000Åの厚さの層を第3e図に示した如く活性領域112上に形成するが、その場合に、例えば、酸蒸気雰囲気中において約0.5乃至2.0時間の間約900乃至1, 100℃で熱酸化によって行う。本発明の1実施例においては、二酸化シリコン層114は後に形成されるべきDMOSトランジスタのゲート絶縁膜を形成する。本発明の別の

実施例においては、二酸化シリコン層114は窒化シリコン（不図示）の上側層と結合してゲート絶縁膜を形成する。何れの場合においても、次いで、ウエハをホトレジスト層115で被覆し、該ホトレジスト層をパターン形成して、後に説明する如く、スレッショールド電圧調節用イオンをイオン注入することを所望されるゲート絶縁層114の部分を出させる。その他の実施例においては、ホトレジスト層115は使用せずに、イオン注入によるスレッショールド調節物質の導入の前にウエハはブランクのままとさせる。

次いで、ウエハにイオン注入を行い、イオンを二酸化シリコン層114に注入させる。マスク層115を使用する場合、イオンはマスク115によって露出されているゲート絶縁膜114の部分内のみ注入される。マスク115を使用しない場合、イオンはウエハの全面に渡って酸化層114及び102内に付与される。前述した如く、注入されたイオンは、注入後もそれらの電荷を保持する。何故ならば、それらは絶縁物質によって取

り囲まれており且つ高温においてさえも二酸化シリコン層114を介して非常にゆっくりと移動するからである。これらのイオンは製造中のトランジスタのスレッショールド電圧を変化させる。本発明の1実施例において、正のイオンを二酸化シリコン層114内に注入させ、それにより形成すべきNチャンネルDMOSトランジスタのスレッショールド電圧を減少させる。これは、正のイオンはチャンネル領域上方に一定の電界を与え、チャンネル領域内に等量であるが反対極性の電荷を誘起させるからである。本発明の別の実施例においては、負のイオンを二酸化シリコン層114内に注入させ、形成すべきトランジスタのスレッショールド電圧を増加させる。（PチャンネルDMOSトランジスタの場合、正のイオンはスレッショールド電圧を減少させ且つ負のイオンはスレッショールド電圧を増加させる。）本発明の1実施例においては、正のセシウムイオンを約40乃至150keVの範囲内の注入エネルギーで約 $2 \times 10^{12}$ 乃至 $7 \times 10^{12}/\text{cm}^2$ のドーズでイオ

ン注入させ、スレッショールド電圧を5乃至15V減少させる。この様に、トランジスタのスレッショールド電圧を変化させる別の方法が提供され、それはトランジスタのドーピング分布を変化させることを必要とせず、従ってトランジスタのブレイクダウン及びリーク特性を変化させることはない。更に、この技術を使用して最大で60V迄トランジスタのスレッショールド電圧を変化させることが可能であることが判明し、このシフトはその他の従来技術を使用して達成可能なものよりも大きい。本発明の別の実施例においては、負に帯電した沃素イオンをイオン注入し、それはトランジスタのチャンネル上方に負の電荷を与えることにより、トランジスタのスレッショールド電圧を増加させる。前述した如く、その他のイオンで正又は負に帯電しているものを使用することも可能である。

その後、マスク115（使用した場合）を除去する。次いで、ウエハ表面上にポリシリコン層116（第3f図）を、例えばCVDによって、

約4,000乃至6,000Åの厚さに形成し、例えば、ドーパントとして燐を使用して、ドーピングしてその導電度を約30及び60Ω/□の範囲内に増加させる。次いで、ポリシリコン層116をパターン形成し且つ従来技術によってエッチングするが、例えばウエハをホトレジストで被覆し、該ホトレジストをパターン形成してポリシリコン層116を所望しないウエハの部分を出露させ、例えばプラズマエッチングプロセスを使用してポリシリコン層116の出露した部分をエッチングすることによって行う。次いで、ホトレジストを除去し、図示した如くポリシリコンゲート構造116を形成する。

第3g図を参照すると、本体領域118が形成されるべき個所の上方の活性領域112内の絶縁層を従来技術を使用してエッチングするが、この場合に、例えば、ウエハをホトレジストで被覆し、ホトレジストをパターン形成して二酸化シリコン層114の一部を出露させ、二酸化シリコン層114の出露した部分をエッチングし、且つホトレ

しない。次いで、注入させた砒素又は燐を所望の深さ、例えば1乃至3ミクロンへ拡散させる。本発明の1実施例においては、ソース領域120を拡散させる場合に、酸素又は窒素雰囲気中において約0.5乃至3.0時間の間約1,000乃至1,150℃にウエハを加熱する。

次いで、第3h図に示した如く、ウエハを絶縁性二酸化シリコン層121で被覆するが、この場合に、例えば、ソース拡散の間にウエハ上に十分な厚さの二酸化シリコン層が成長されなかった場合には、CVDプロセスで行う。次いで、ソース領域120と本体領域106と上部表面上のゲート領域116へのコンタクトを開口し、且つメタル層122（典型的には1乃至4ミクロンの厚さのアルミニウム又はアルミ合金）を、例えば、スパッタで付着させて第3h図に示した如くデバイスの上部表面への電気的コンタクトを形成する。メタル層122がゲート116とコンタクトする点は図の面内にはなく従って第3h図には示されていない。次いでメタル層122をホトレジスト

ジストを除去することによって行う。（前の処理ステップに依存して、この処理ステップにおいてホトレジストの存在無しでエッチステップを行うことも可能である。）次いで、本体領域118を、例えば、ボロン等のドーパントを注入し且つ拡散させることによって形成する。本発明の1実施例においては、ボロンを40乃至120keVの範囲内の注入エネルギーを使用して約 $10^{13}$ 乃至 $2 \times 10^{14}/\text{cm}^2$ の範囲内のドーズで注入させる。次いで、例えば、ウエハを酸素又は窒素雰囲気中において約4乃至1.2時間の間約1,100乃至1,200℃の温度でウエハを加熱することによって、拡散させる。

次いで、ウエハにイオン注入を行い、その場合に、 $5 \times 10^{14}$ 乃至 $5 \times 10^{15}$ イオン/ $\text{cm}^2$ の範囲内のドーズで約50乃至150keVのエネルギーで砒素又は燐イオンを注入させてソース領域120を形成する。二酸化シリコン層114がこのステップの間マスクとして機能するので、このソースイオン注入プロセスの間付加的なマスクは使用

でマスクし、次いでそれをパターン形成してメタル層122を除去することが所望される部分を出露させる。次いで、メタル層122をエッチングして、第3h図に示したごとく構成とする。上述した如く、N<sup>-</sup>エピタキシャル層101の下側はN<sup>+</sup>基板100であり、それはシリコンウエハの底部表面へ延在している。この領域を使用してドレインコンタクト124を形成する。

上述した方法は、ブレークダウン特性を劣化させることなしにDMOSトランジスタのスレッシュホールド電圧を変化させることを可能としている。更に、従来のイオン注入方法と異なって、上述した方法はDMOSトランジスタのリーク特性を劣化させることもない。

例えばテレコム適用等の或る適用においては、上述した方法を使用して、-2乃至-4Vの間のスレッシュホールド電圧を持ったDMOSトランジスタを製造する。例えば、電流源適用等のその他の適用の場合、本方法を使用して-4乃至-8Vの間のスレッシュホールド電圧を持ったDMO

Sトランジスタが提供される。本方法を使用してその他のスレッショールド電圧を持ったDMOSトランジスタを提供することも可能である。

以上、本発明の具体的実施の態様に付いて詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形が可能であることは勿論である。例えば、本発明方法を使用してエンハンスメント型又はデプリション型のトランジスタを製造することが可能である。更に、この方法をPチャンネルとNチャンネルの両方のデバイスの製造に使用することが可能である。本方法の1変形例としては、ソースドープメント導入ステップ及び本体ドープメント導入ステップを、例えば二酸化シリコン領域又は別の物質の領域から共通端部（ゲート電極ではない）へ整合させることである。

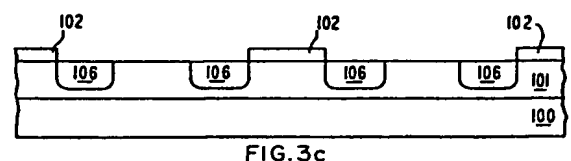
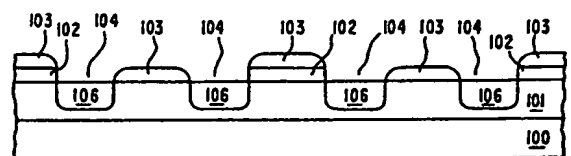
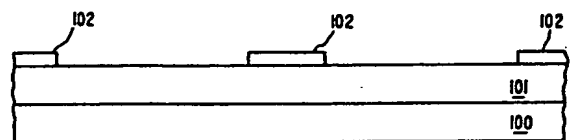
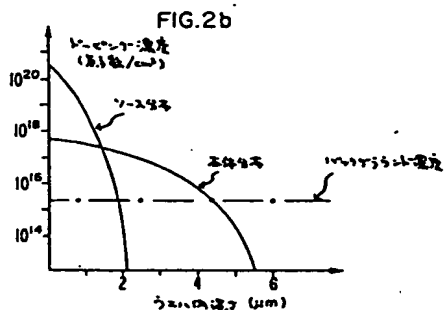
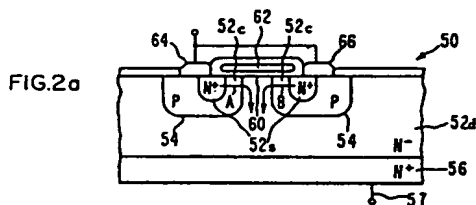
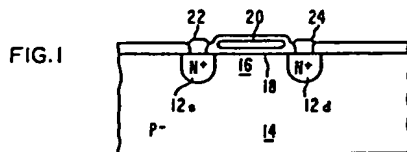
#### 4. 図面の簡単な説明

第1図は従来のMOSトランジスタの概略断面図、第2a図は従来のDMOSトランジスタの概

略断面図、第2b図は第2a図のトランジスタのドーピング分布を示したグラフ図、第3a図乃至第3h図は本発明に基づく種々の処理ステップにおけるトランジスタのトランジスタの各概略断面図、第4図はスレッショールド電圧シフトとセシウムイオン注入ドーズとの関係を示したグラフ図、である。

#### (符号の説明)

- 100：基板
- 101：エピタキシャル層
- 102：二酸化シリコン層
- 103：ホトレジスト
- 112：活性領域
- 114：二酸化シリコン層
- 115：ホトレジスト
- 116：ポリシリコン層
- 118：本体領域
- 120：ソース領域
- 121：二酸化シリコン層
- 122：メタル層



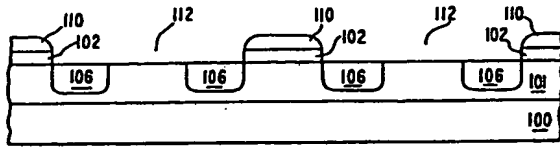


FIG. 3d

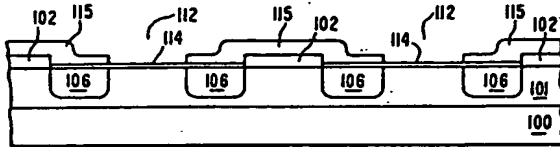


FIG. 3e

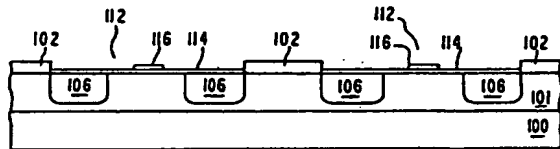


FIG. 3f

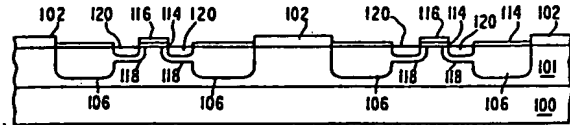


FIG. 3g

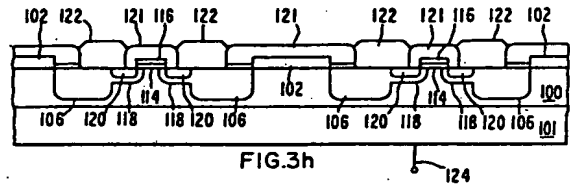


FIG. 3h

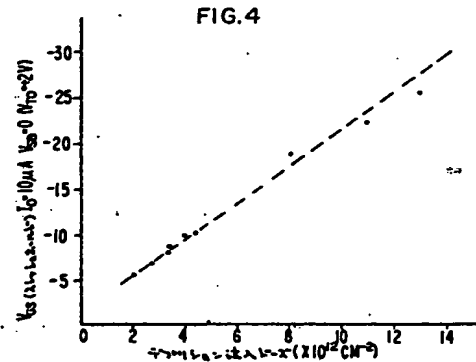


FIG. 4

第1頁の続き

⑦発明者

ジェームズ デイ. プ  
ラマー

アメリカ合衆国, カリフォルニア 94040, マウンテン  
ビュー, マウンテン パーノンコート 1940, ナンバー  
16

BEST AVAILABLE COPY

BEST AVAILABLE COPY